

## 明細書

## エピタキシャル成長方法

## 5 技術分野

本発明は、ヘテロ接合界面を有するIII-V族系化合物半導体薄膜の形成方法に関し、特に、InP層をエッチストッパー層（エッチング制御層）として用いる高電子移動度トランジスタ（HEMT）の製造に適したエピタキシャル成長方法に関する。

10

## 背景技術

従来、高電子移動度トランジスタ（以下、HEMTと略記する）構造のエピタキシャル結晶は、有機金属気層成長法（MOCVD法）や分子線エピタキシャル成長法（MBE法）により形成されたIII-V族系化合物半導体薄膜で構成される。例えば、InP基板上にInAlAs層やInGaAs層等の半導体層を積層して形成され、さらにInP層をエッチストッパー層として形成した構造が提案されている。このInP層からなるエッチストッパー層を有するHEMT構造の基本的な構成を図6に示す。

図6に示すHEMT構造は、InPからなる半絶縁性基板101上に、ノンドープのInAlAs層（バッファ層）102、ノンドープのInGaAs層（電子走行層）103、ノンドープのInAlAs層（スペーサ層）104、n型不純物をドーピングしたInAlAs層（電子供給層）105、ノンドープのInAlAs層（スペーサ層）106、ノンドープのInP層（エッチストッパー層）107、n型不純物をドーピングしたInAlAs層（抵抗低減層）108、n型不純物をドーピングしたInGaAs層（抵抗低減層）109が積層されてなる。

なお、n型InAlAs層108およびn型InGaAs層109はエッティングにより分割され、エッティングされた領域からはInP層107が露出する。また、分割されたInGaAs層109上にはソース電極またはドレイン電極とな

るオーム電極 110, 111 が形成され、露呈された InP 層 107 上にはゲート電極となるショットキー電極が形成されている。

上述した HEMT 構造において、InP 層 107 のエッティング速度（磷酸系やクエン酸系のエッチャント）は、InAlAs 層 108 や InGaAs 層 109 のエッティング速度に比較して数 10 分の 1 から数 100 分の 1 であるため、エッチャントによる浸食は少なく非常に高い選択性が得られる。したがって、InP 層 107 より下の InAlAs 層 105, 106 までエッティングが進行してしまい、HEMT の高周波特性などのデバイス特性が低下するのを防止する役割を果たしている。

また、上述した HEMT 構造においては、InAlAs 層 106, 108 と InP 層 107 の境界で、V 族元素の異なるヘテロ接合界面（以下、ヘテロ界面と称する）が形成されることとなる。このようなヘテロ接合を利用したデバイスでは、そのヘテロ界面における原子の組成分布の急峻性および平坦性がデバイス特性を大きく左右する。例えば、このヘテロ界面を形成するにあたり、形成条件が悪く、InP 層 107 に As が混入したり、界面に As と P の混合した遷移層が形成されたりすると、エッチストッパー層としての InP 層 107 の選択性が著しく低下してしまうことがある。

また、InP 層 107 をエッチストッパー層として用いる場合は、InP 層 107 の膜厚は薄いほどよく、通常 3 ~ 6 nm 程度の膜厚とされる。このように InP 層 107 を非常に薄く形成する場合は、特にヘテロ界面の形成条件が InP 層 107 の選択性に及ぼす影響が大きくなるため、ヘテロ界面の形成条件を最適化することが重要となる。

そこで、MOCVD 法による HEMT の形成については、InAlAs 層 107 や InGaAs 層 108 等をエッティングする際に InP 層 107 のエッティングされる密度が所定値以下となるように、InP 層 107 を成長させる際の原料ガスの供給量を調整するようにしている（例えば、特開平 11-266009 号公報）。

ところで、MBE 法による HEMT の形成では、分子線源に設けられたシャッターおよびバルブの ON/OFF により、各半導体層の形成に応じて原料となる

元素の分子線の照射を制御している。図7は、従来のエピタキシャル成長方法によりInAlAs層とInP層とのヘテロ界面を形成するときの原料供給手順を示すタイミングチャートである。工程AでIn, Al, Asの分子線を照射することでInAlAs層を形成し、工程BでIn, Pの分子線を照射することでInP層を形成する。なお、In分子線は停止することなく照射され、As分子線とP分子線の照射を同時に切り替えることで、InAlAs層とInP層とを連続して形成している。

このとき、MBE法ではMOCVD法のようなガスの流れがないことから、供給される分子線の切り替えは瞬時にできているものと考えられている。実際に、  
10 In III族元素の分子線（例えばAl分子線）について見ると、工程Bにおいて基板に供給される分子線強度はシャッターの駆動時間（通常1秒以下）に対応して1%以下となることが確認されている。

これに対して、V族元素（As）はIn III族元素に比べると蒸気圧が高いため、分子線の供給を停止した後も成長室内にその分子が残留し、ヘテロ界面を形成する際に元素の混合が起こりやすいことが判明した。しかしながら、この残留V族分子を考慮して成長条件（ヘテロ界面の形成条件）を決めていないめ、分子線源のバルブの開閉速度やシャッターの動作状態が変わると、残留V族元素の量（残留V族元素の分子線強度）に対応してInAlAs層やInGaAs層とInP層とのヘテロ界面の特性が微妙に変化した。また、このようにしてHEMTの  
20 エッチストッパー層としてのInP層を形成すると、選択性が低下してしまうという不具合があった。

本発明は、上記課題を解決するために、MBE法によるエピタキシャル成長におけるV族元素の切り替え時の残留V族元素量に着目してなされたもので、安定した特性を有するヘテロ界面の形成、ひいては高い選択性を持ったInPエッチ  
25 ストッパー層の形成を実現するエピタキシャル成長方法を提案することを目的とする。

## 発明の開示

本発明は、分子線エピタキシャル成長法によりIn III-V族系化合物半導体の

ヘテロ接合を有する半導体薄膜を形成するエピタキシャル成長方法であって、少なくとも一種類以上のⅢⅢ族元素の分子線と第1のV族元素の分子線とを照射して第1の化合物半導体層を形成する第1の工程と、前記ⅢⅢ族元素の分子線と前記第1のV族元素の分子線の照射を停止し、前記第1のV族元素の供給量が前記第1の工程における供給量の1/10以下となるまで成長を中断する第2の工程と、少なくとも一種類以上のⅢⅢ族元素の分子線と第2のV族元素の分子線とを照射して前記第1の化合物半導体層上に前記第1の化合物半導体とは異なる第2の化合物半導体層を形成する第3の工程と、を備えるようにしたものである。これにより、第2の化合物半導体層への第1のV族元素の混入量を所定値以下（例えば組成にして0.05以下）とすることができる。

また、分子線エピタキシャル成長法によりⅢⅢ-V族系化合物半導体のヘテロ接合を有する半導体薄膜を形成するエピタキシャル成長方法であって、少なくとも一種類以上のⅢⅢ族元素の分子線と第1のV族元素の分子線とを照射して第1の化合物半導体層を形成する第1の工程と、前記ⅢⅢ族元素の分子線と前記第1のV族元素の分子線の照射を停止するとともに、第2のV族元素の分子線を照射し、前記第1のV族元素の供給量が前記第1の工程における供給量の1/10以下となるまで成長を中断する第2の工程と、さらに、少なくとも一種類以上のⅢⅢ族元素の分子線を照射して前記第1の化合物半導体層上に前記第1の化合物半導体とは異なる第2の化合物半導体層を形成する第3の工程と、を備えるようにしたものである。ここで、第2の工程ではV族元素の分子線は照射されているが、ⅢⅢ族元素の分子線は照射されないのでエピタキシャル層の成長は中断される。これにより、第3の工程で第2の化合物半導体層の形成を開始する当初から第2のV族元素を所望の分子線強度で供給することができるので、第2の化合物半導体層への第1のV族元素の混入量をさらに低減できる。

また、前記第1の化合物半導体層をInAlAs層またはInGaAs層とし、前記第2の化合物半導体層をInP層またはInGaP層とするようにした。すなわち、InAlAs層またはInGaAs層上にInP層をエッチストップ一層として形成してHEMTを作成する場合に有効である。また、形成する化合物半導体層を反対にして、前記第1の化合物半導体層をInP層またはInGaP

層とし、前記第2の化合物半導体層をInAlAs層またはInGaAs層とする場合にも適用できる。

以下に、本発明を完成するに至った経緯について、InAlAs層上にInP層を形成する場合を例に挙げて説明する。

5 初めに、InP基板上にInAlAs層を成長させた後、成長室内に残留したバックグランドのAs分子が、InP層を成長させる際にInP層へ取り込まれることに着目し、取り込まれたAsの量とInP層（Asが混入している）のエッティング速度の関係を調べた。具体的には、As分子線源のバルブを閉めるときの開度（バルブの開閉速度）を調整することによりバックグランドに対応する  
10 Asの分子線強度を変えてInP層を成長させ、そのときのAs混入量とInP（As混入）層の磷酸系のエッチャントに対するエッティング速度の関係を調べた。

図3にAs混入量とInP層のエッティング速度の関係を示す。例えば、3nm厚のInP層をエッチストッパー層として用いる場合、磷酸系エッチャントに対する耐性を30秒以上得ようとすると、エッティング速度は0.1nm/秒よりも低いことが要求される。この場合、図3よりInP層に混入されるAsの量としては組成にして0.05以下としなければならないこととなる。望ましくは、InP層に混入されるAsの量を0.02以下とすればエッティング速度は0.05nm/秒以下となるので、InP層をエッチストッパー層として用いたときにより高い選択性を得ることができる。

20 次に、MBE装置のシャッターおよびバルブの開閉にともなう、AsおよびPの分子線強度の変化を調べた。図4はAs分子線を供給・停止したときの分子線強度の変化を示す説明図で、図5はP分子線を供給・停止したときの分子線強度の変化を示す説明図である。なお、時間軸の10secにおいてシャッターおよびバルブを開いて分子線の供給を開始し、30secにおいてシャッターおよびバルブを閉じて分子線の供給を停止している。

図4からAs分子線の強度は分子線の供給を停止した後約1secで約1/14となり、約10secで1/50となる。一方、図5からP分子線の強度は分子線の供給を停止した後約1secで約1/7となり、約10secで1/100以下となる。これより、V族元素は蒸気圧が高いために分子線の供給を停

止した後も成長室内にその分子が成長時の供給量に対して数%残留し、ヘテロ界面を形成する際に元素の混合が起こりやすいことがわかる。また、P分子線の供給においては、所望の分子線強度となるまでに数 sec を要している。

さらに、InAlAs層上にInP層を形成する場合のプロセスを検討して、

5 ヘテロ界面の遷移層の厚さとAs混入量の関係を実験により解析して、最適のヘテロ界面形成プロセスを求める目的として実験を行った。そして、As分子線強度がInAlAs層成長時の供給量に対して1/10以下となった後にInP層の成長を開始することでAs混入量は組成にして0.05以下となることを突き止め、本発明を完成するに至った。

10 本発明によれば、分子線エピタキシャル成長法によりIII-V族系化合物半導体のヘテロ接合を有する半導体薄膜を形成するエピタキシャル成長方法であつて、少なくとも一種類以上のIII族元素の分子線と第1のV族元素の分子線とを照射して第1の化合物半導体層を形成する第1の工程と、前記III族元素の分子線と前記第1のV族元素の分子線の照射を停止し、前記第1のV族元素の供給量が前記第1の工程における供給量の1/10以下となるまで成長を中断する第2の工程と、少なくとも一種類以上のIII族元素の分子線と第2のV族元素の分子線とを照射して前記第1の化合物半導体層上に前記第1の化合物半導体とは異なる第2の化合物半導体層を形成する第3の工程と、を備えるようにしたので、第2の化合物半導体層への第1のV族元素の混入量を所定値以下（例えば組成にして0.05以下）とすることができる。

15

したがって、本発明のエピタキシャル成長方法により、HEMT構造におけるエッチストップ層としてのInP層を形成した場合、非常に高い選択性が得られるので精細なエッチングが可能となる。

## 25 図面の簡単な説明

図1は、本実施形態に係るヘテロ接合界面を形成したエピタキシャル成長層の断面構造図である。

図2は、本発明に係るエピタキシャル成長方法による原料供給手順を示すタイミングチャートである。

図3は、As混入量とInP層のエッチング速度の関係を示す説明図である。

図4は、As分子線を供給・停止したときの分子線強度の変化を示す説明図である。

図5は、P分子線を供給・停止したときの分子線強度の変化を示す説明図であ

る。

図6は、一般的なHEMT構造の断面図である。

図7は、従来技術に係るエピタキシャル成長方法による原料供給手順を示すタイミングチャートである。

## 10 発明を実施するため最良の形態

以下に本発明の好適な実施形態を図面に基づいて具体的に説明する。

図1は、本実施形態に係る半導体薄膜であり、MBE法によりInP基板10上にInAlAs層20を成長させ、さらにその上にInP層30を成長させて形成される。このInAlAs層20とInP層とのヘテロ界面は、図6に示すHEMT構造のInAlAs層106とInP層107とのヘテロ界面に相当する。

図2は本発明に係るエピタキシャル成長方法による原料供給手順を示すタイミングチャートである。まず、タイミングT<sub>0</sub>でIn, Al, As分子線の照射を開始してInP基板10上にInAlAs層20を成長させ、タイミングT<sub>1</sub>でIn, Al, As分子線の照射を停止して200nm厚のInAlAs層20を形成した（工程a）。

次いで、タイミングT<sub>1</sub>でIn, Al, As分子線の照射を停止すると同時にP分子線の照射を開始し、As分子線強度が工程aにおけるAs分子線強度の1/10となる時間（例えば30sec）だけ成長を中断した（工程b）。この工程bにおいては、P分子線は照射されているがIn分子線は照射されていないのでInP層30は形成されない。また、図5よりPの供給量が所望の分子線強度となるまでに数secを要するが、As分子線の停止と同時にP分子線の照射を開始することで工程cでは開始当初から所望の分子線強度でP分子線を供給することができる。

次いで、タイミング  $T_2$  で In 分子線の照射を開始することで InP 層 30 の成長を開始し、タイミング  $T_3$  で In, P 分子線の照射を停止して 3.0 nm 厚の InP 層 30 を形成した（工程 c）。

上述した方法により得られた半導体薄膜について、磷酸系のエッチャントを用

5 いてエッチング処理を行い、InP 層 30 がなくなるまでのエッチング時間を測定して InP 層 30 のエッチング耐性を評価した。その結果、40 秒までは InP 層 30 の表面に変化がなく、45 秒で表面が白濁して、50 秒で完全に除去された。すなわち、本実施形態に係る InP 層 30 のエッチング速度は 0.06 nm/sec であり、図 3 より InP 層 30 への As 混入量は組成にして 0.02  
10 5 程度と推定された。このように、本発明に係るエピタキシャル成長方法によれば、InP 層 30 への As 混入量が InP 層 30 のエッチング耐性に影響を与えない程度まで低減されるので、エッチストップ層としての InP 層 30 は非常に高い選択性を有するようになる。

次に、比較例として、従来技術により形成された半導体薄膜について説明する。

15 図 7 は従来技術に係るエピタキシャル成長方法による原料供給手順を示すタイミングチャートである。

まず、タイミング  $t_0$  で In, Al, As 分子線の照射を開始して InP 基板  
10 上に InAlAs 層 20 を成長させ、タイミング  $t_1$  で Al, As 分子線の  
照射を停止して 200 nm 厚の InAlAs 層 20 を形成した（工程 A）。この  
20 とき、In 分子線は停止することなく連続して照射される。

次いで、タイミング  $t_1$  で Al, As 分子線の照射を停止すると同時に P 分子  
線の照射を開始して InP 層 30 を成長させ、タイミング  $t_2$  で In, P 分子線  
の照射を停止して 3.0 nm 厚の InP 層 30 を形成した（工程 B）。

上述した方法により得られた半導体薄膜について、磷酸系のエッチャントを用  
25 いてエッチング処理を行い、InP 層 30 がなくなるまでのエッチング時間を測定してエッチング耐性を評価した。その結果、20 秒のエッチングにより InP  
層 30 は完全に除去された。すなわち、比較例に係る InP 層のエッチング速度  
は 0.15 nm/sec であり、図 3 より InP 層 30 への As 混入量は組成にして 0.084 程度と推定された。これより、従来技術では、In 分子線の供給

を停止することなく、As分子線の照射を停止した直後にP分子線の照射を開始してInAlAs層20とInP層30を連続して成長させたために、成長室内に残留したAsがInP層30へ混入してしまいInP層30のエッチング耐性が低下したものと考えられた。

5 上述したように、本発明ではInAlAs層とInP層のヘテロ界面を形成する時に、As分子線強度の減衰に応じてエピタキシャル成長を一時停止することにより、InP層に不要なV族元素（As）が混入するのを抑えることができる  
ので、急峻なヘテロ界面の形成が可能となる。したがって、InP層をエッチス  
トッパー層として用いる際、非常に薄くInP層を形成してもその特性（エッチ  
10 シング耐性）が低下することではなく、高い選択性を有することとなる。

以上、本発明者によってなされた発明を実施形態に基づいて具体的に説明した  
が、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範  
囲で変更可能である。例えば、本実施形態ではInAlAs層上にInP層を形  
成する場合について述べたが、InAlAs層の代わりにInGaAs層とし、  
15 InP層の代わりInGaP層としても同様の効果が得られる。また、形成する  
層構造が逆、例えばInP層またはInGaP層上にInAlAs層またはIn  
GaAs層を形成する場合であっても同様の効果が得られる。

#### 産業上の利用可能性

20 本発明は、V族元素の異なるヘテロ界面を有するIII-V族系化合物半導体  
薄膜を形成する技術、例えば、InP層をエッチストッパー層（エッチング制御  
層）として用いる高電子移動度トランジスタ（HEMT）の製造に利用するこ  
ができる。

## 請求の範囲

1. 分子線エピタキシャル成長法により I II - V 族系化合物半導体のヘテロ接合を有する半導体薄膜を形成するエピタキシャル成長方法であって、
  - 5 少なくとも一種類以上の I II 族元素の分子線と第 1 の V 族元素の分子線とを照射して第 1 の化合物半導体層を形成する第 1 の工程と、前記 I II 族元素の分子線と前記第 1 の V 族元素の分子線の照射を停止し、前記第 1 の V 族元素の供給量が前記第 1 の工程における供給量の 1 / 10 以下となるまで成長を中断する第 2 の工程と、
  - 10 少なくとも一種類以上の I II 族元素の分子線と第 2 の V 族元素の分子線とを照射して前記第 1 の化合物半導体層上に前記第 1 の化合物半導体とは異なる第 2 の化合物半導体層を形成する第 3 の工程と、を備えることを特徴とするエピタキシャル成長方法。
- 15 2. 分子線エピタキシャル成長法により I II - V 族系化合物半導体のヘテロ接合を有する半導体薄膜を形成するエピタキシャル成長方法であって、少なくとも一種類以上の I II 族元素の分子線と第 1 の V 族元素の分子線とを照射して第 1 の化合物半導体層を形成する第 1 の工程と、前記 I II 族元素の分子線と前記第 1 の V 族元素の分子線の照射を停止するとともに、第 2 の V 族元素の分子線を照射し、前記第 1 の V 族元素の供給量が前記第 1 の工程における供給量の 1 / 10 以下となるまで成長を中断する第 2 の工程と、さらに、少なくとも一種類以上の I II 族元素の分子線を照射して前記第 1 の化合物半導体層上に前記第 1 の化合物半導体とは異なる第 2 の化合物半導体層を形成する第 3 の工程と、を備えることを特徴とするエピタキシャル成長方法。
- 25 3. 前記第 1 の化合物半導体層は InAlAs 層または InGaAs 層であり、前記第 2 の化合物半導体層は InP 層または InGaP 層であることを特徴とする

る請求項 1 または請求項 2 に記載のエピタキシャル成長方法。

4. 前記第 1 の化合物半導体層は InP 層または InGaP 層であり、前記第 2 の化合物半導体層は InAlAs 層または InGaAs 層であることを特徴とする請求項 1 または請求項 2 に記載のエピタキシャル成長方法。
5. 前記第 1 の化合物半導体層は InP 層または InGaP 層であり、前記第 2 の化合物半導体層は InAlAs 層または InGaAs 層であることを特徴とする請求項 1 または請求項 2 に記載のエピタキシャル成長方法。

1 / 4

図 1

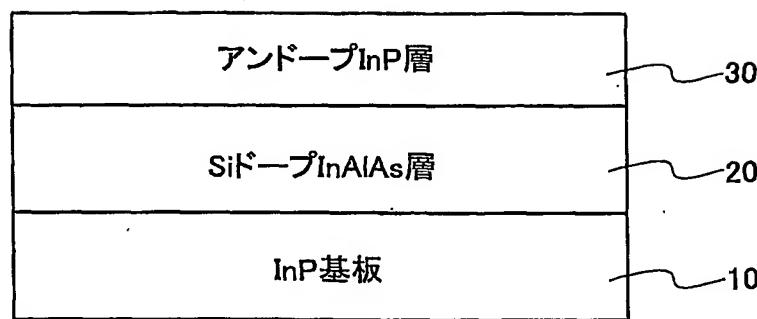
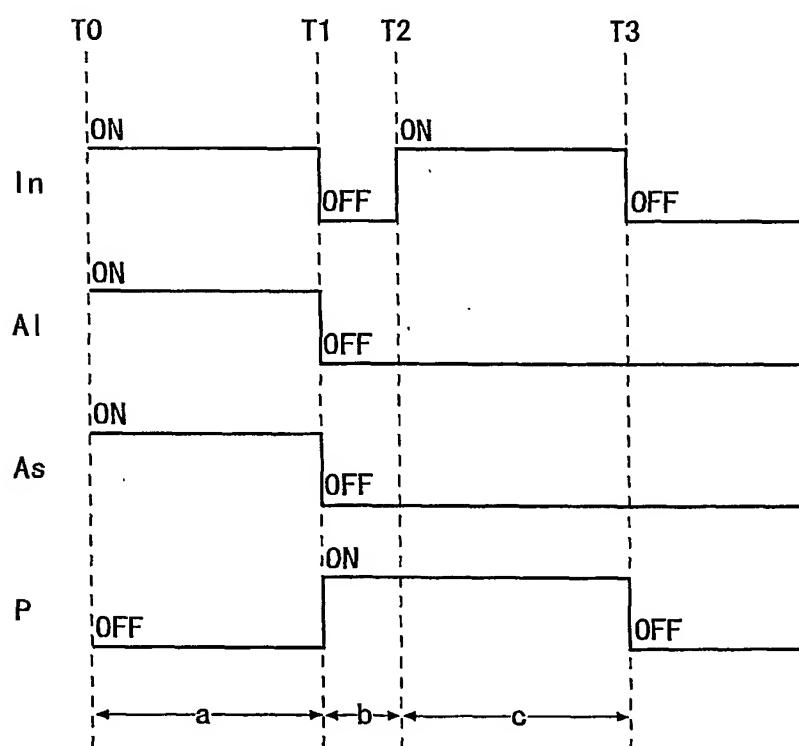


図 2



2 / 4

図 3

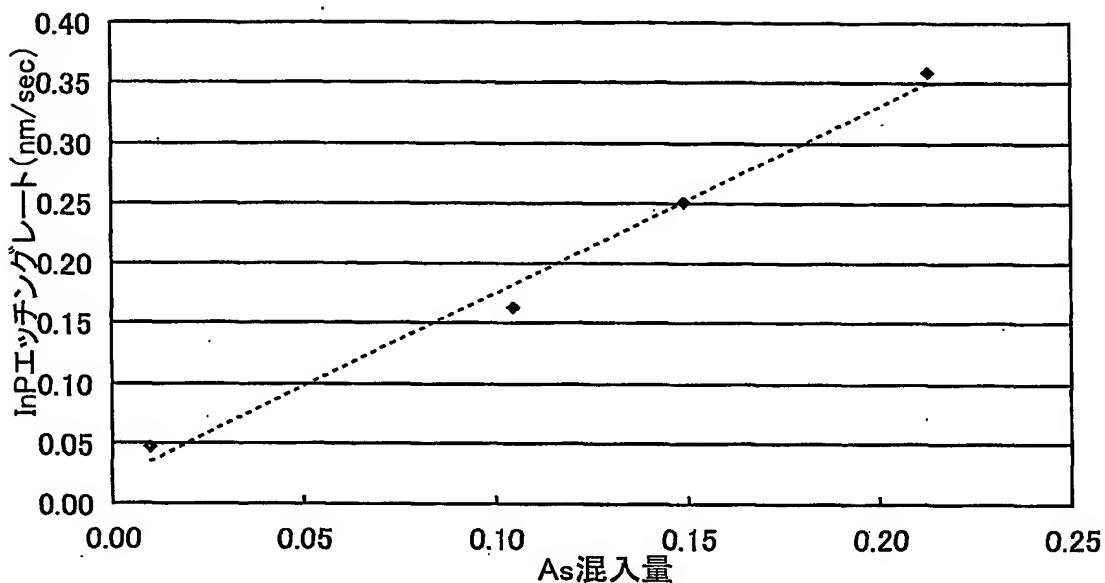
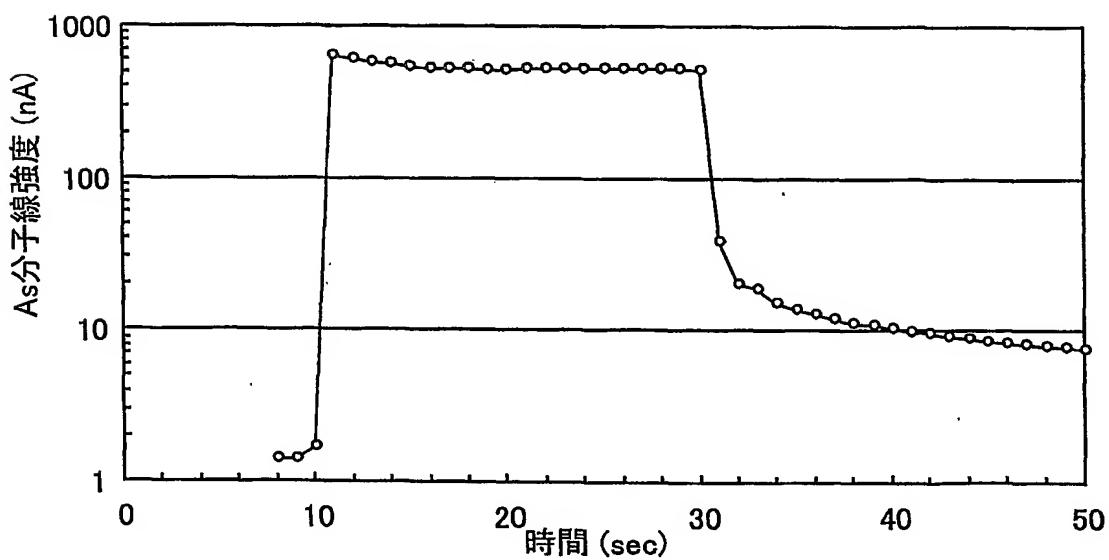


図 4



3 / 4

図 5

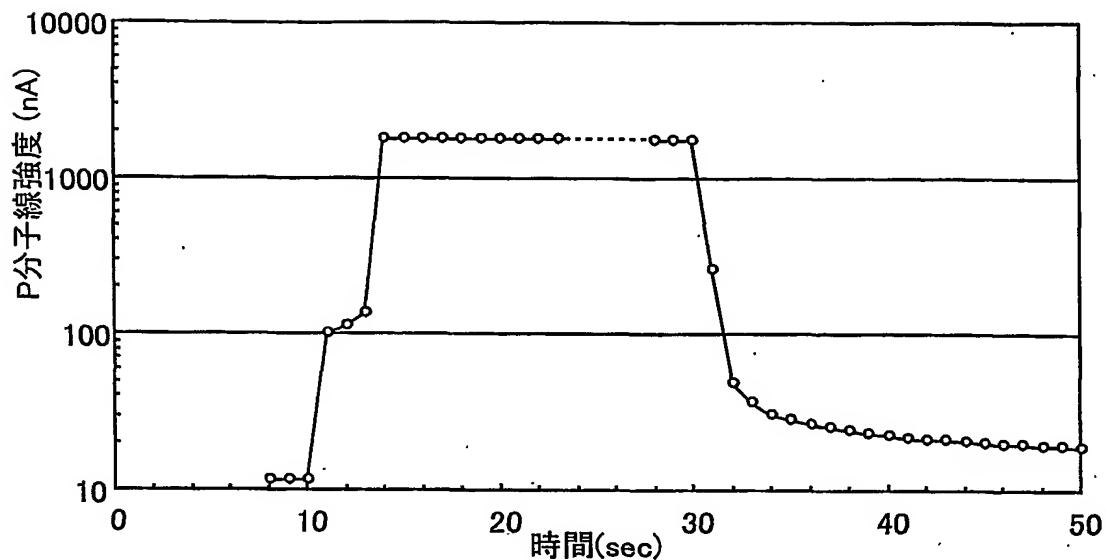
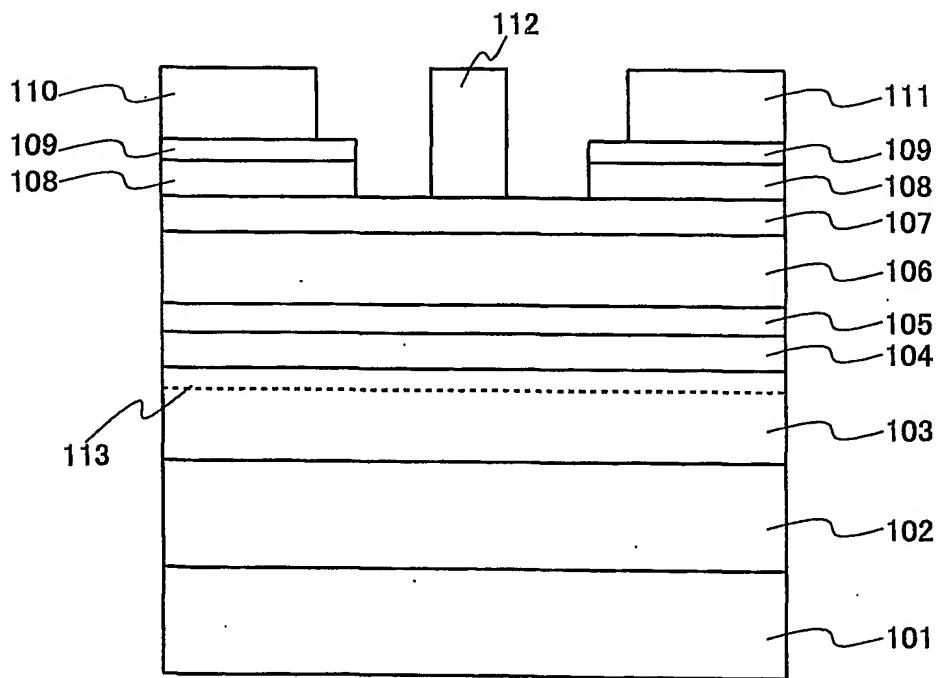
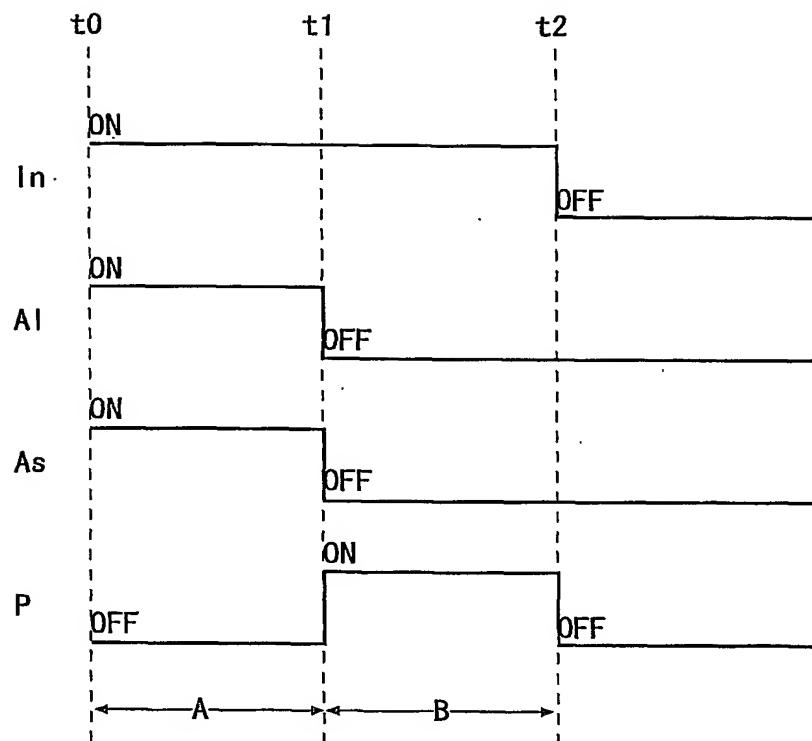


図 6



4 / 4

図 7



## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP2004/006144

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> H01L21/203

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> H01L21/203

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
 Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004  
 Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 7-86162 A (Hitachi, Ltd.), 31 March, 1995 (31.03.95), Par. Nos. [0007] to [0009]; Figs. 1, 3, 4 (Family: none)	1, 3
Y		4
X	JP 6-97097 A (NEC Corp.), 08 April, 1994 (08.04.94), Par. Nos. [0002] to [0004]; Fig. 2 (Family: none)	2-4
X	JP 1-315128 A (NEC Corp.), 20 December, 1989 (20.12.89), Page 2, upper right column, line 17 to page 3, upper left column, line 2; Fig. 1 (Family: none)	2 3, 4
Y		

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:  
 "A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art  
 "&" document member of the same patent family

Date of the actual completion of the international search  
13 August, 2004 (13.08.04)

Date of mailing of the international search report  
31 August, 2004 (31.08.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2004/006144

**C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 4-252019 A (Fujitsu Ltd.), 08 September, 1992 (08.09.92), Par. Nos. [0008] to [0009]; Fig. 1 (Family: none)	2 3, 4

A. 発明の属する分野の分類(国際特許分類 (IPC))  
Int. C17 H01L 21/203

## B. 調査を行った分野

調査を行った最小限資料(国際特許分類 (IPC))  
Int. C17 H01L 21/203

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
日本国公開実用新案公報 1971-2004年  
日本国登録実用新案公報 1994-2004年  
日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 7-86162 A(株式会社日立製作所), 1995.03.31, 段落0007-0009, 第1, 3, 4図(ファミリーなし)	1, 3
Y		4
X	JP 6-97097 A(日本電気株式会社), 1994.04.08, 段落0002-0004, 第2図(ファミリーなし)	2-4
X	JP 1-315128 A(日本電気株式会社) 1989.12.20, 第2頁右上欄第17行-第3頁左上欄第2行, 第1図(ファミリーなし)	2
Y		3, 4

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日

13. 08. 2004

国際調査報告の発送日

31. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

橋本 憲一郎

4R 3031

電話番号 03-3581-1101 内線 3469

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 4-252019 A(富士通株式会社), 1992.09.08, 段落0008-0009, 第1図(ファミリーなし)	2
Y		3, 4